

The corresponding Japanese application JP 10-341002 of TW357461

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-341002

(43)Date of publication of application : 22.12.1998

(51)Int.Cl.

H01L 27/10
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 09-149273

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 06.06.1997

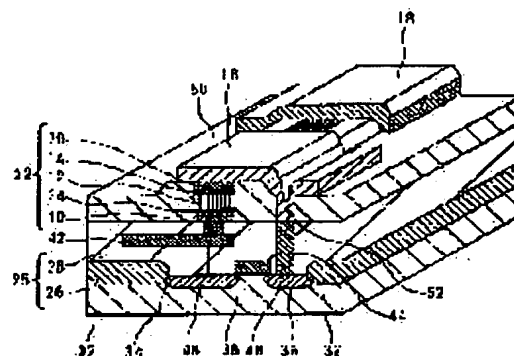
(72)Inventor : IGARASHI YASUSHI

(54) FERROELECTRIC TRANSISTOR, SEMICONDUCTOR STORAGE, AND HANDLING METHOD AND MANUFACTURE OF FERROELECTRIC TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a ferroelectric transistor and its manufacturing method wherein no failure is caused by a heat treatment.

SOLUTION: In a ferroelectric transistor, a gate portion 22 is provided on a substrate 25. In the gate portion 22, a gate electrode 10, a ferroelectric film 12, and a gate insulation film 14 are laminated in this order on the substrate 25. A channel layer 20 is provided on the gate insulation film 14. On the channel layer 20, first and second main electrodes 16, 18 are provided separated from each other. The channel layer 20 is used as a channel when it is operated. That is, the carrier concentration of the channel layer 20 is controlled, utilizing the self-polarization of the ferroelectric film 12.



LEGAL STATUS

[Date of request for examination] 20.02.2002

[Date of sending the examiner's decision of rejection] 03.04.2007

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2007-012820

中 華 民 國 專 利 公 報 (19)(12)

(11)公告編號: 357461

(44)中華民國88年(1999)05月01日

發 明

全 16 頁

(51)Int. Cl. 5: H01L29/78

- (54) 名 稱: 鐵電電晶體、半導體儲存元件、操作鐵電電晶體的方法及製造鐵電電晶體的方法
- (21) 申 請 案 號: 86116435 (22) 申請日期: 中華民國86年(1997)11月05日
- (30) 優 先 權: (31) 149273 (32) 1997/06/06 (33) 日本
- (72) 發 明 人:
五十嵐泰史 日本
- (71) 申 請 人:
沖電氣工業股份有限公司 日本
- (74) 代 理 人: 詹銘文 先生

1

2

[57]申請專利範圍:

1. 一種鐵電電晶體, 其包含有一閘電極, 一鐵電膜, 一閘極絕緣膜, 第一主電極與一第二主電極, 該鐵電電晶體包含有:
 - 一閘極單元, 其該閘電極, 該鐵電膜與該閘極絕緣膜係依此次序被沉積於一墊底層上; 與
 - 沉積於該閘極絕緣膜上的一通道層; 其中該第一與第二主電極係在該通道層上以互相分離的方式形成; 且其中該通道層係被使用做為可利用該鐵電膜的自發性極化而控制載體密度的一通道。
2. 如申請專利範圍第1項之鐵電電晶體, 其中該墊底層具有依序沉積的一基底與一內層絕緣膜, 且其中該閘電極係被設置於該內層絕緣膜上。
3. 如申請專利範圍第1項之鐵電電晶體, 其中該閘極單元在該鐵電膜與該閘電極之間具有一層下導電層。
4. 如申請專利範圍第1項之鐵電電晶體, 其中該閘極單元在該閘極絕緣膜與該鐵電膜之間具有一層上導電層。
5. 如申請專利範圍第4項之鐵電電晶體, 其中該第一主電極與該通道層接觸部份之區域係與該第二主電極與該通道層接觸部份者不同。
6. 如申請專利範圍第1項之鐵電電晶體, 其中
 10. 該閘極單元在該通道層與該閘絕緣層之間具有一金屬氧化物層; 且該金屬氧化物層係以一種其氧化物之形成熱要比該通道層為低的一種材料所形成的。
 15. 7. 如申請專利範圍第4項之鐵電電晶體, 其中
 20. 該閘極單元在該通道層與該閘絕緣層之間具有一金屬氧化物層; 且該金屬氧化物層係以一種其氧化物之形成熱要比該通道層為低的一種材料所形

- 成。
- 8.如申請專利範圍第1項之鐵電電晶體，其中該通道層係由非晶矽或多晶矽所形成。
- 9.如申請專利範圍第1項之鐵電電晶體，其中該閘極絕緣膜係由 Ta_2O_5 、 ZrO_2 、 HfO_2 、 Si_3N_4 、 CeO_2 與 $Ba_xSr_{1-x}TiO_3$ (x 為一正整數)之中所選定之任一材料或多於一種材料的任意組合者所形成。
- 10.如申請專利範圍第1項之鐵電電晶體，其中該鐵電層係由 $SrBi_2Ta_2O_9$ 、 $PbZrTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$ (x 為一正整數)、 $Pb_3Ge_3O_{11}$ 、 $Bi_4Ti_3O_{12}$ 與 $(Pb, La)TiO_3$ 之中所選定之任一材料或多於一種材料的任意組合者所形成。
- 11.如申請專利範圍第1項之鐵電電晶體，其中該第一與第二主電極係由多晶矽或非晶矽所形成。
- 12.如申請專利範圍第1項之鐵電電晶體，其中該第一與第二主電極係被形成做為該通道層上的導電層。
- 13.如申請專利範圍第1項之鐵電電晶體，其中該第一與第二主電極係被形成做為該通道層上的摻有雜質之區域。
- 14.如申請專利範圍第1項之鐵電電晶體，其中該閘電極係由 W 、 Ta 、 Mo 、 TiN 、 Nb 、 V 、 TaN 、 $TaSiN$ 、 TiW 、 $TiWN$ 與 $TiAlN$ 之中所選定之任一材料所形成。
- 15.如申請專利範圍第3項之鐵電電晶體，其中該下導電層係由 IrO_2 、 Ir 、 Ru 、 Pt 、 RuO_2 、 $SrRuO_3$ 、 $La_xSr_{1-x}CoO_3$ (x 為一正整數)與 $SrMoO_3$ 之中所選定之任一材料或多於一種材料的任意組合者所形成。
- 16.如申請專利範圍第3項之鐵電電晶體，其中該上導電層係由 IrO_2 、 Ir 、 Ru 、 Pt 、 RuO_2 、 $SrRuO_3$ 、 $La_xSr_{1-x}CoO_3$ (x 為一正整數)與 $SrMoO_3$ 之中所選定之任一材料或多於一種材料的任意組合

- 者所形成。
- 17.如申請專利範圍第6項之鐵電電晶體，其中該金屬氧化物層係由 ZrO_2 、 TiO_2 、 HfO_2 與 Al_2O_3 之中所選定之任一材料或多於一種材料的任意組合者所形成。
- 18.如申請專利範圍第7項之鐵電電晶體，其中該金屬氧化物層係由 ZrO_2 、 TiO_2 、 HfO_2 與 Al_2O_3 之中所選定之任一材料或多於一種材料的任意組合者所形成。
- 19.一種包括有一鐵電電晶體的半導體儲存元件，其包括有一閘電極，一鐵電膜，一閘極絕緣膜，一第一主電極與一第二主電極，該鐵電電晶體包含：一閘極單元，其該閘電極，該鐵電膜與該閘極絕緣膜係依此次序被沉積於一墊底層上；與沉積於該閘極絕緣膜上的一通道層；其中該第一與第二主電極係在該通道層上以互相分離的方式形成；其中該通道層係被使用做為可利用該鐵電膜的自發性極化而控制載體密度的一通道；且其中該墊底層具有依序沉積的一基底與一內層絕緣膜，且其中該閘電極係被設置於該內層絕緣膜上；並且該半導體儲存元件包括有電性連接至該鐵電電晶體的一選擇電晶體，且其兩主要電極係形成於該基底之中，其中將被連接至該閘電極上的一第一導線以及，當有必要時，將被連接至該第一與第二主電極上的一第二導線係被包容於該內層絕緣膜內；該第一導線的一部份係經由在該內層絕緣膜內所提供的一第一穿孔而被導引於該內層絕緣膜之上方；該第二導線的一部份係經由在該內層絕緣膜內所提供的一第二穿孔而被導引於該內層絕緣膜之上方；且

該閘極單元係被設置於該內層絕緣膜上以便該第一導線得與該閘極接觸。

20.如申請專利範圍第19項之半導體儲存元件，其中

一上絕緣膜係被設置於該內層絕緣膜上，以便上絕緣膜可與該閘極單元與該通道層的各個側表面接觸；且該第一與第二主電極係於該上絕緣層之上延伸，且被連接至經該上絕緣膜中所提供的第一第三穿孔而由該第二穿孔所導引的該第二導線。

21.如申請專利範圍第20項之半導體儲存元件，其中該第一與第二主電極兩者之一係被連接至該選擇電晶體的主電極區。

22.一種半導體儲存元件，其包含：

形成一種非揮發性記憶體的複個的儲存組件，其中利用對字元線與位元線施加信號，資料便可相對於該些儲存組件之中的預定一個或多個而被寫入，抹除或讀出，且其中每一個的該些儲存組件係各為一鐵電電晶體，

一閘極單元，其該閘極，該鐵電膜與該閘極絕緣膜係依此次序被沉積於一墊底層上；與

沉積於該閘極絕緣膜上的一通道層；其中該第一與第二主電極係在該通道層上以互相分離的方式形成；且其中該通道層係被使用做為可利用該鐵電膜的自發性極化而控制載體密度的一通道。

23.如申請專利範圍第22項之半導體儲存元件，其包括有分別被指派予各以適當數量的該些鐵電電晶體所形成的每一個區塊的鐵電電晶體，其中，在每一個該些區塊之中。

該鐵電電晶體的閘極係被連接至該些字元線中之預定一條；

該鐵電電晶體的第一主電極係被連接至該些位元線中之預定一條；

該鐵電電晶體的第二主電極係被連接至該選擇電晶體之第一主電極；且

該選擇電晶體的第二主電極係被連接至接地點。

5. 24.如申請專利範圍第23項之半導體儲存元件，其中包含於該些區塊中之一之內的所有鐵電電晶體之第一主電極係被連接至該些位元線中的單一共用之一條上。

10. 25.一種操作包括有一閘極，一鐵電膜，一閘極絕緣膜，一第一主電極與一第二主電極的一鐵電電晶體之方法，該鐵電電晶體包含：

一閘極單元，其該閘極，該鐵電膜與該閘極絕緣膜係依此次序被沉積於一墊底層上；與

沉積於該閘極絕緣膜上的一通道層；其中該第一與第二主電極係在該通道層上以互相分離的方式形成；且

20. 其中該通道層係被使用做為可利用該鐵電膜的自發性極化而控制載體密度的一通道，其中

利用打開該第一主電極並在該第二主電極與該閘極之間施加一寫入電壓便可將資料寫入該鐵電膜之內。

25. 26.一種操作包括有一閘極，一鐵電膜，一閘極絕緣膜，一第一主電極與一第二主電極的一鐵電電晶體之方法，該鐵電電晶體包含：

30. 一閘極單元，其該閘極，該鐵電膜與該閘極絕緣膜係依此次序被沉積於一墊底層上；與

沉積於該閘極絕緣膜上的一通道層；其中該第一與第二主電極係在該通道層上以互相分離的方式形成；且

35. 其中該通道層係被使用做為可利用該鐵電膜的自發性極化而控制載體密度的一通道，其中

利用打開該第一主電極並在該第二主電極與該閘極之間施加一抹除電壓便可

以將資料由該鐵電膜之內抹除掉。

27.一種操作包括有一閘電極，一鐵電膜，一閘極絕緣膜，一第一主電極與一第二主電極的一鐵電電晶體之方法，該鐵電電晶體包含：

一閘極單元，其該閘電極，該鐵電膜與該閘極絕緣膜係依此次序被沉積於一墊底層上；與

沉積於該閘極絕緣膜上的一通道層；

其中該第一與第二主電極係在該通道層上以互相分離的方式形成；且

其中該通道層係被使用做為可利用該鐵電膜的自發性極化而控制載體密度的一通道，其中

利用將閘電極連接至接地點並在該第一與第二主電極之間施加一讀取電壓便可以將資料由該鐵電膜之內讀出。

28.一種製造鐵電電晶體之方法，其中該鐵電電晶體包括有一閘極單元，其該閘電極，該鐵電膜與該閘極絕緣膜係依此次序被沉積於一墊底層上，一層沉積於該閘極絕緣膜上的通道層，以及該通道層上的一第一與一第二主電極，該方法之步驟包含：

(1)在該墊底層上形成一第一導電層；

(2)在該第一導電層上形成一鐵電層；

(3)在該鐵電層上形成一第一絕緣層；

(4)在該第一絕緣層上形成一半導體層；

(5)修改該半導體層以便在一閘極區內形成該通道層；

(6)修改該第一絕緣層以便形成該閘極絕緣層；

(7)修改該鐵電層以便形成該鐵電膜；

(8)修改該第一導電層以便形成該閘電極；與

(9)在該通道層上形成該第一與第二主電極。

29.如申請專利範圍第28項之鐵電電晶體製造方法，其更包含下列步驟：

在步驟(1)之前先在一底材上沉積一層內層絕緣膜，以便形成該墊底層。

30.如申請專利範圍第28項之鐵電電晶體製造方法，其在步驟(1)之前更包含有下列步驟：

在一底材上沉積一層內層絕緣膜，以便形成該墊底層；

在該底材上形成一選擇電晶體；

在形成有一選擇電晶體的該底材上形成該內層絕緣膜，內層絕緣膜具有被包容於其內的，被連接至該閘電極上的一第一導線以及，當有必要時，被連接至該第一與第二主電極上的一第二導線；

於該閘極絕緣膜上的預定位置中形成一第一與一第二穿孔；與

將導電插塞埋置於該第一與第二穿孔之內；

其中步驟(5)包括將該閘極區界定為該第一穿孔上方的一個區域。

31.如申請專利範圍第30項之鐵電電晶體製造方法，其在步驟(8)之後更包含有下列步驟：

在該內層絕緣膜上形成一上絕緣膜，上絕緣膜係與該閘極單元與該通道層的側表面接觸。

32.如申請專利範圍第31項之鐵電電晶體製造方法，其在步驟(8)與(9)之間更包含有下列步驟：

在該內層絕緣膜上形成一第二絕緣層，第二絕緣膜覆蓋著該閘極單元與該通道層的側與上表面；與

打磨該第二絕緣層直至曝露出該通道層的上表面時為止，以便形成該上絕緣膜。

33.如申請專利範圍第31項之鐵電電晶體製造方法，其更包含有下列步驟：

在該上絕緣膜內於包含該第二穿孔的區域內形成一第三穿孔。

34.如申請專利範圍第28項之鐵電電晶體製造方法，其在步驟(3)與(4)之間更包

- 含有下列步驟：
消除該第一絕緣層內的缺陷。
- 35.如申請專利範圍第28項之鐵電電晶體製造方法，其更包含有下列步驟：
在步驟(1)與(2)之間，於該第一導電層上形成一第二絕緣層；與
在步驟(7)與(8)之間，修改該第二絕緣層以形成一下導電層。
- 36.如申請專利範圍第28項之鐵電電晶體製造方法，其更包含有下列步驟：
在步驟(2)與(3)之間，在該鐵電層上形成一第三導電層；與
在步驟(6)與(7)之間，修改該第三導電層以便形成一上導電層。
- 37.如申請專利範圍第28項之鐵電電晶體製造方法，其更包含有下列步驟：
在步驟(3)與(4)之間，在該第一絕緣層上形成一金屬氧化物層，該金屬氧化物層係以其氧化物的形成自由能量小於該半導體層者的一種材料形成；與
在步驟(5)與(6)之間，修改該金屬氧化物層。
- 38.如申請專利範圍第36項之鐵電電晶體製造方法，其更包含有下列步驟：
在步驟(3)與(4)之間，在該第一絕緣層上形成一金屬氧化物層，該金屬氧化物層係以其氧化物的形成自由能量小於該半導體層者的一種材料形成；與
在步驟(5)與(6)之間，修改該金屬氧化物層。
- 39.如申請專利範圍第37項之鐵電電晶體製造方法，其在該金屬氧化物層形成之後更包含有下列步驟：
消除該金屬氧化物層內的缺陷。
- 40.如申請專利範圍第38項之鐵電電晶體製造方法，其在該金屬氧化物層形成之後更包含有下列步驟：
消除該金屬氧化物層內的缺陷。

圖式簡單說明：

第一圖為本發明一種鐵電電晶體之

第一種構造的透視圖；

第二圖為鐵電電晶體第一種構造的相關部份之平面圖；

第三圖為鐵電電晶體第一種構造的橫截面圖；

第四圖為鐵電電晶體之第二種構造的透視圖；

第五圖為鐵電電晶體第二種構造的切截面部份之平面圖；

第六圖為鐵電電晶體第二種構造的橫截面圖；

第七圖為鐵電電晶體之第三種構造的透視圖；

第八圖為鐵電電晶體之第四種構造的透視圖；

第九圖顯示 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 的磁滯特性；

第十圖，包括第十圖(A)至第十圖(C)，解釋了第一種構造的作情形；

第十一圖顯示 I_d 與 V_g 之間的關係；

第十二圖，包括第十二圖(A)至第十二圖(C)，解釋了第二種構造的作情形；

第十三圖解釋了本發明一種半導體儲存元件的一種構造；

第十四圖，包括第十四圖(A)與第十四圖(B)，顯示製造半導體元件之第一種構造的步驟；

第十五圖，包括第十五圖(A)與第十五圖(B)，顯示跟隨著第十四圖的步驟而製造第一種構造的步驟；

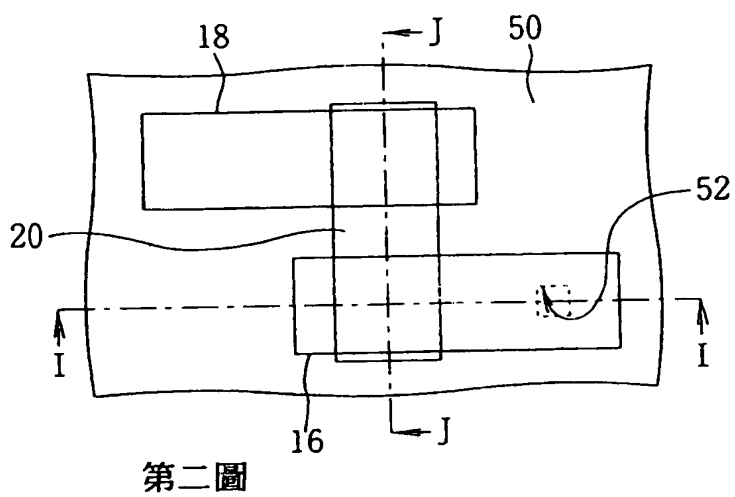
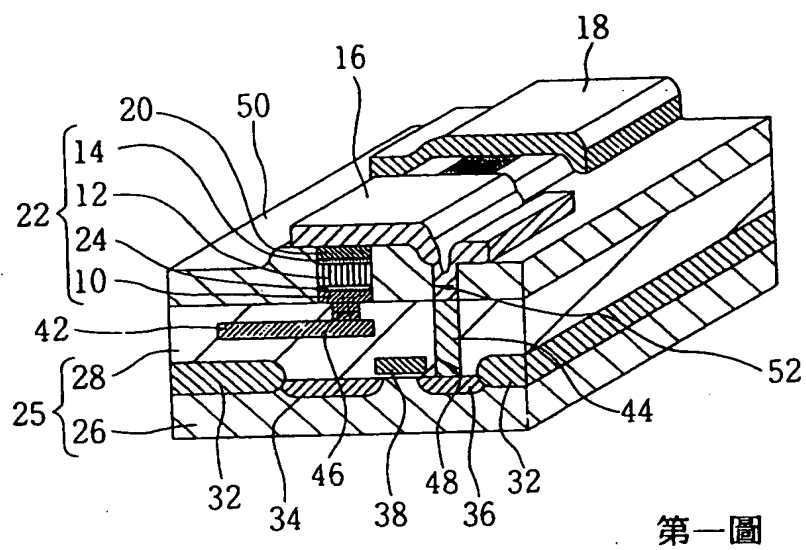
第十六圖，包括第十六圖(A)與第十六圖(B)，顯示跟隨著第十五圖的步驟而製造第一種構造的步驟；

第十七圖，包括第十七圖(A)與第十七圖(B)，顯示製造第二種構造的步驟；

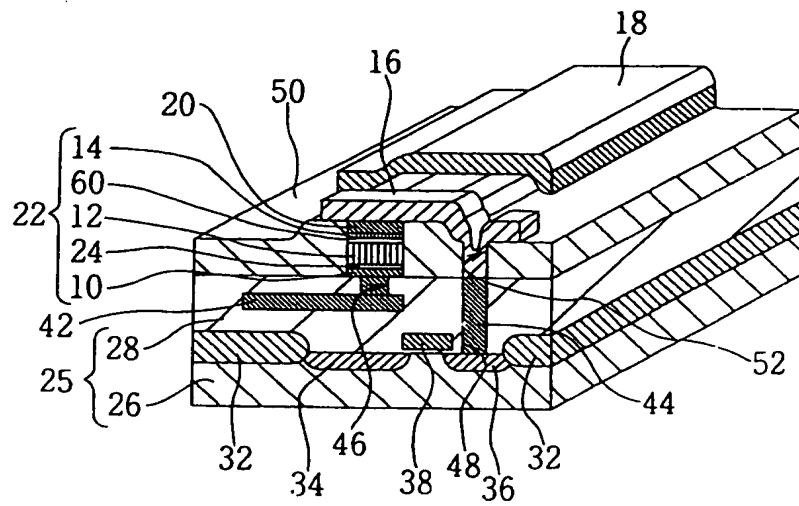
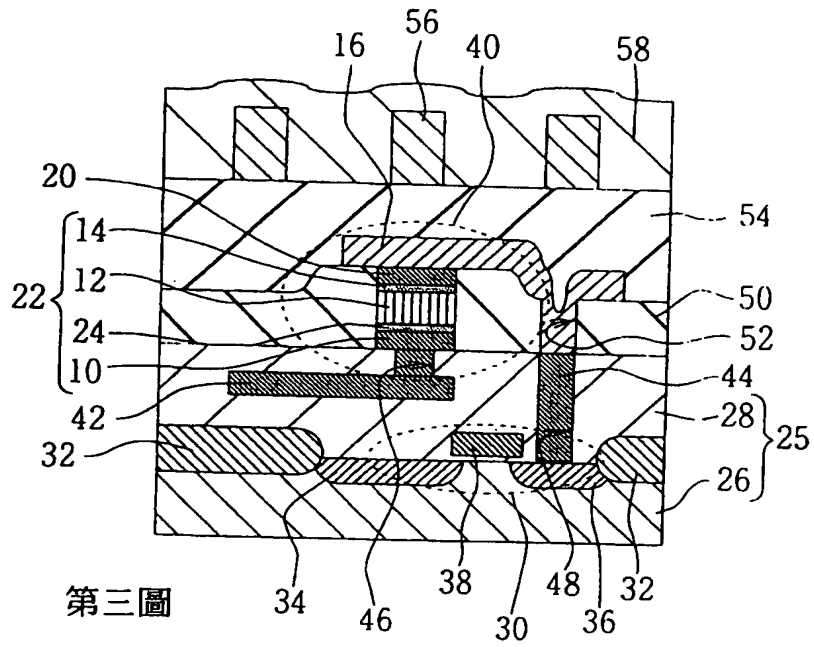
第十八圖，包括第十八圖(A)與第十八圖(B)，顯示製造第三種構造的步驟；與

第十九圖，包括第十九圖(A)與第十九圖(B)，顯示製造第四種構造的步驟。

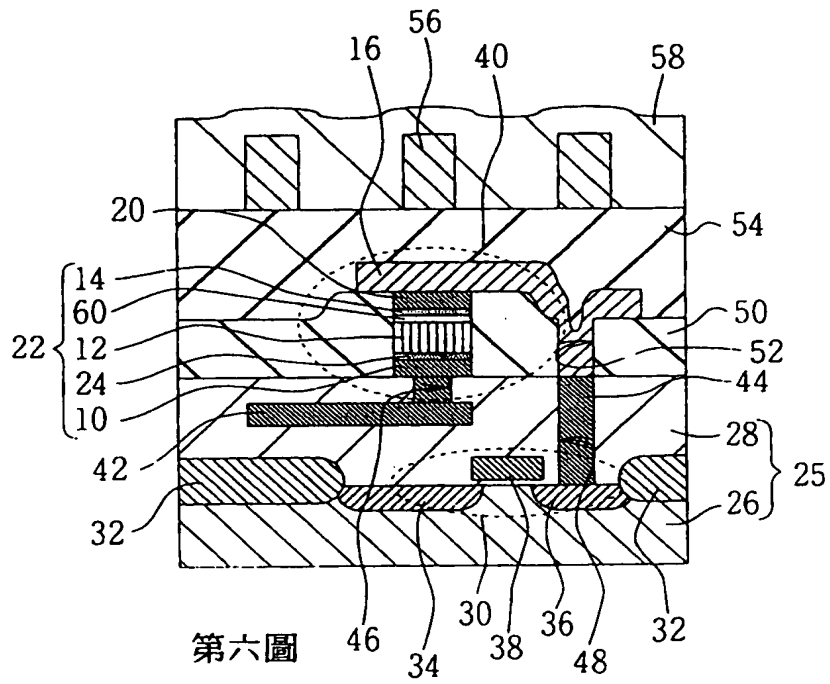
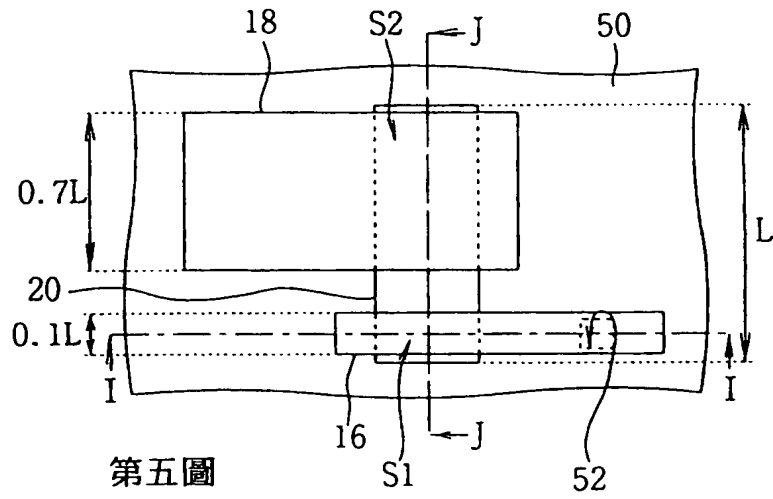
(6)



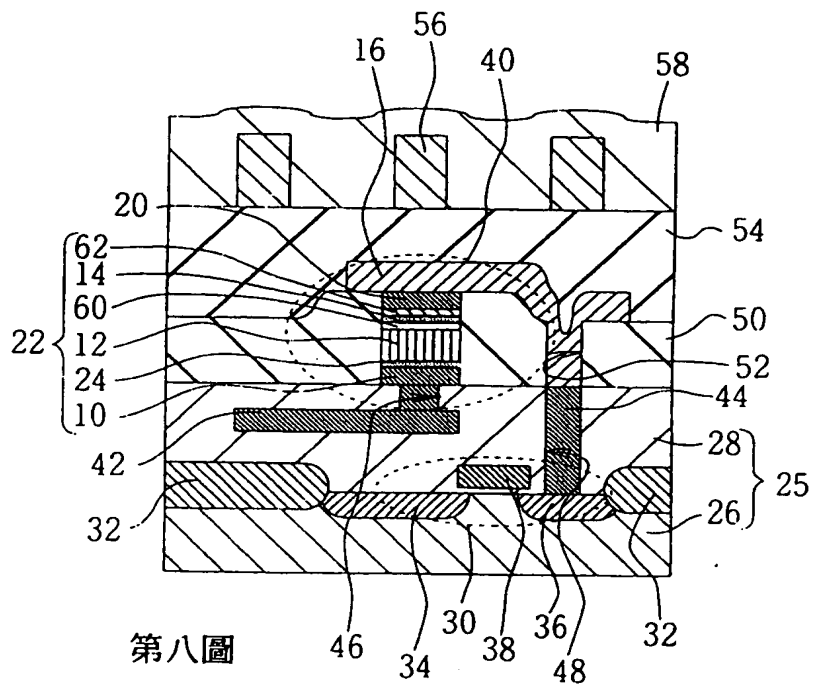
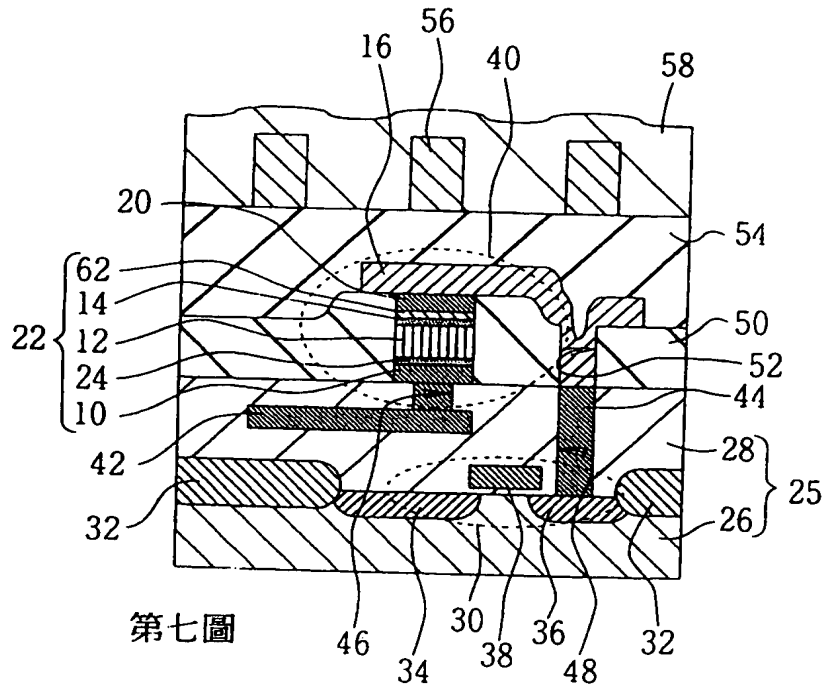
(7)

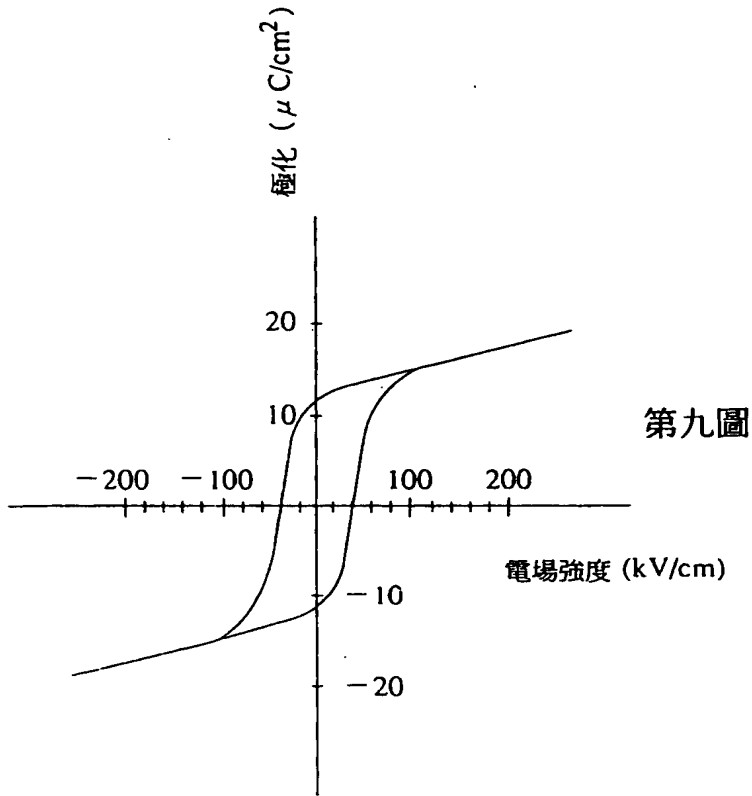
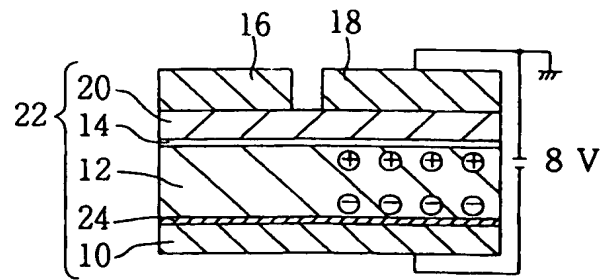


(8)

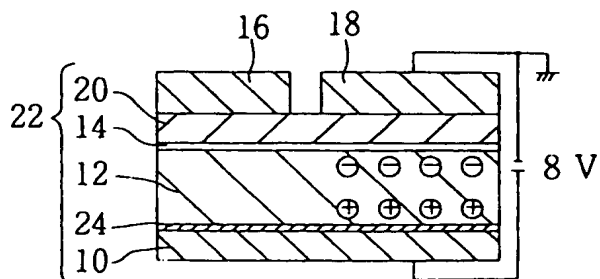


(9)



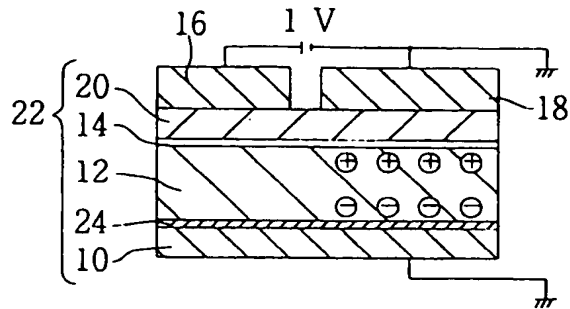
SrBi₂Ta₂O₉ 之磁滯特

第十圖 A

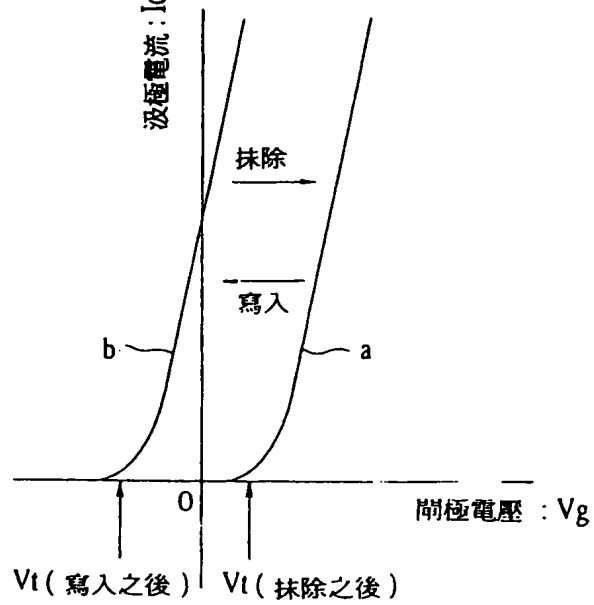


第十圖 B

(11)

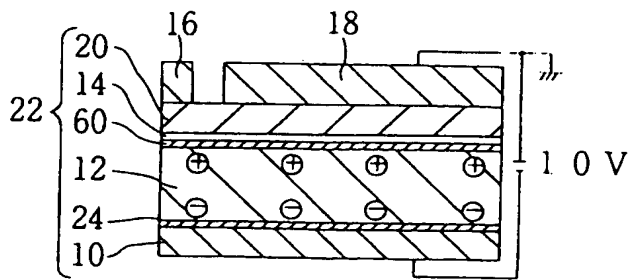


第十圖 C



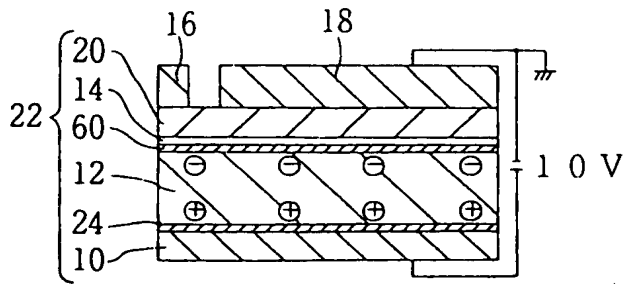
Id - Vg 曲線

第十一圖

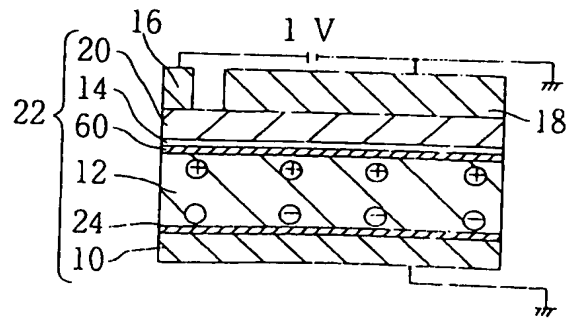


第十二圖 A

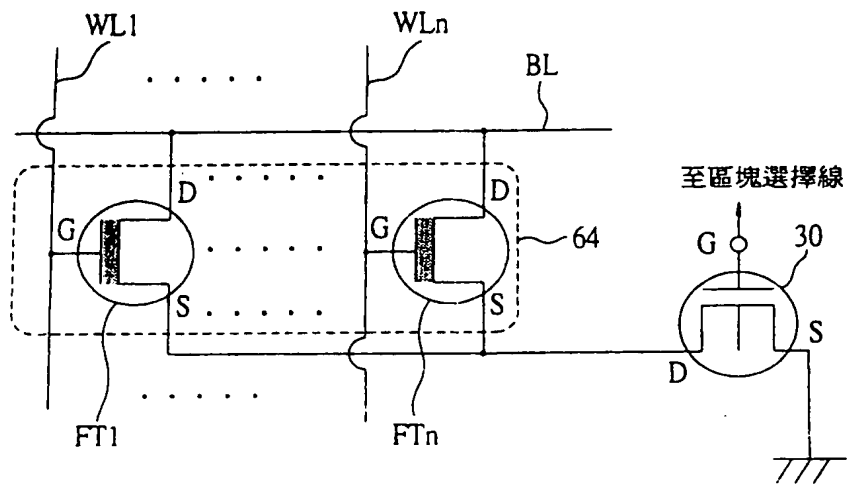
(12)



第十二圖 B

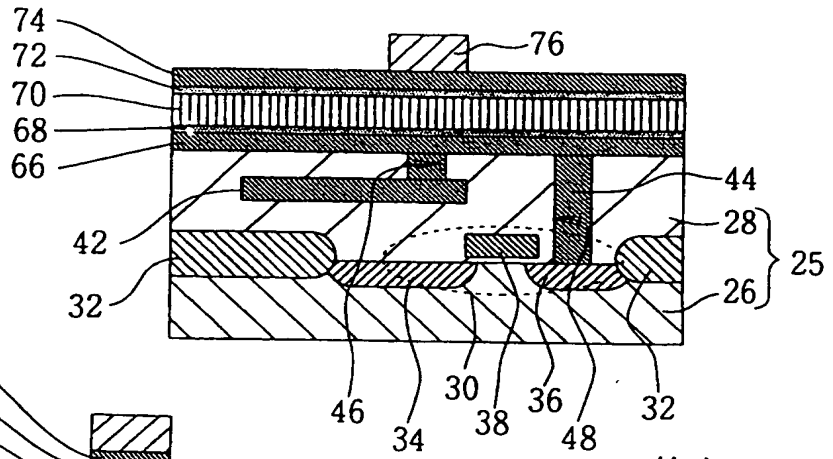


第十二圖 C

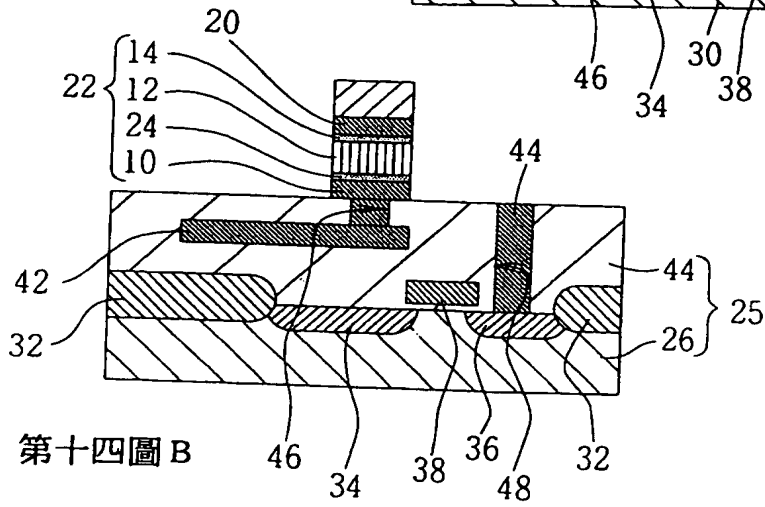


第十三圖

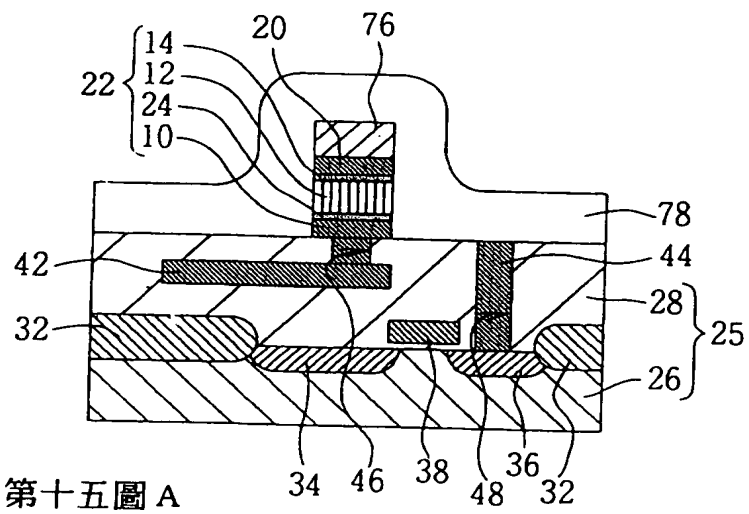
(13)



第十四圖 A

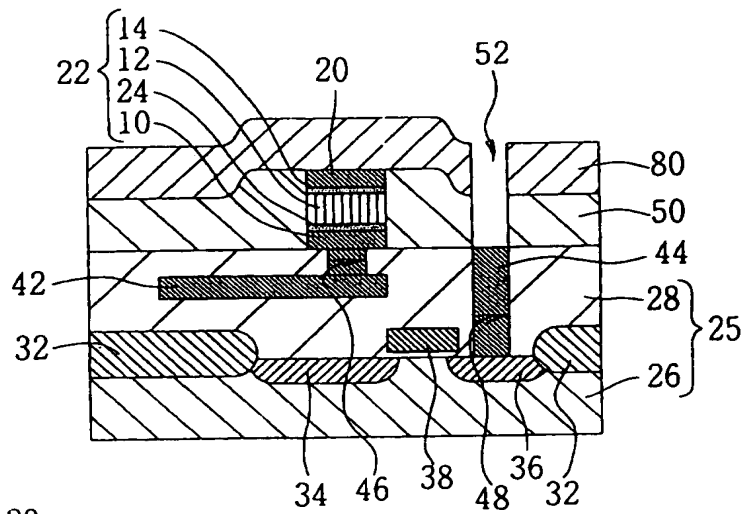
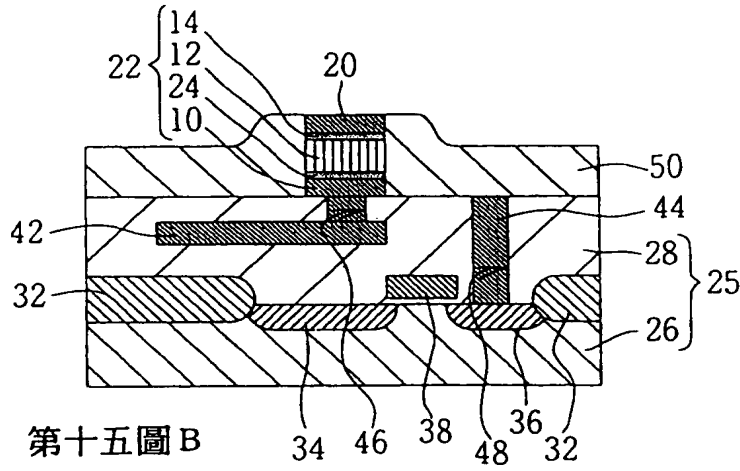


第十四圖 B

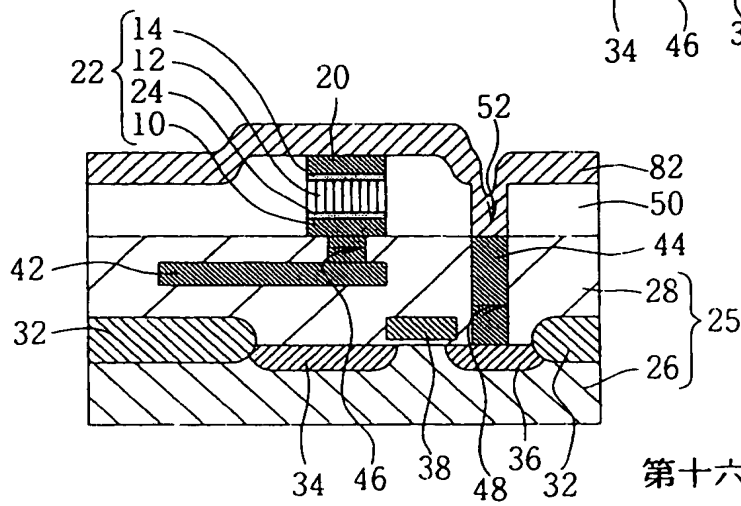


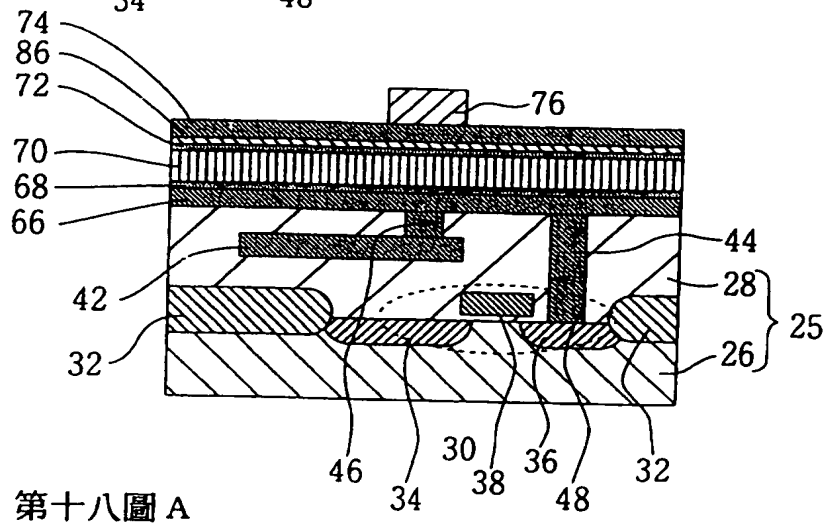
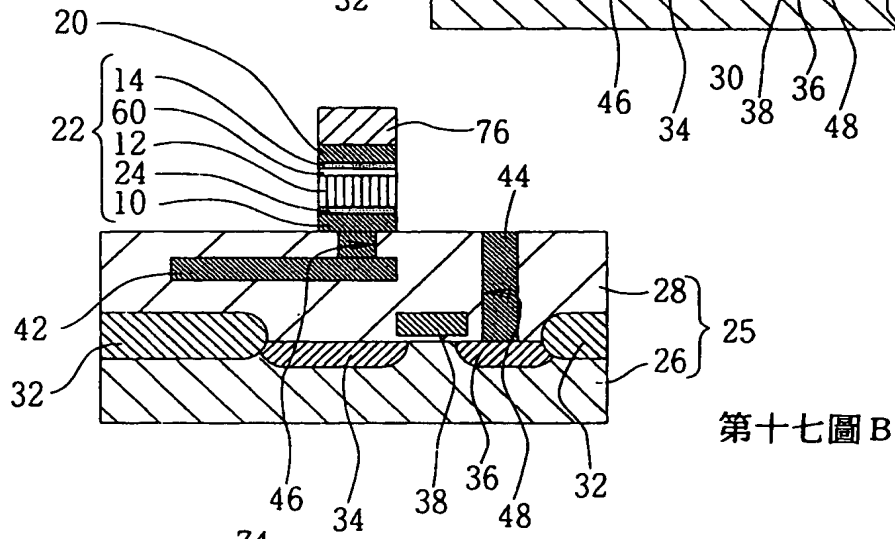
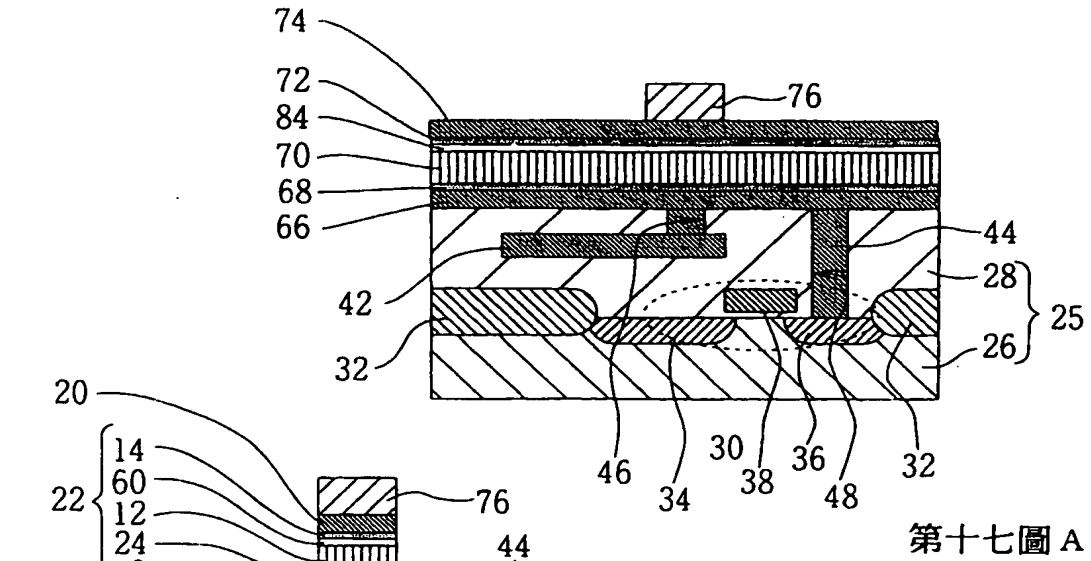
第十五圖 A

(14)

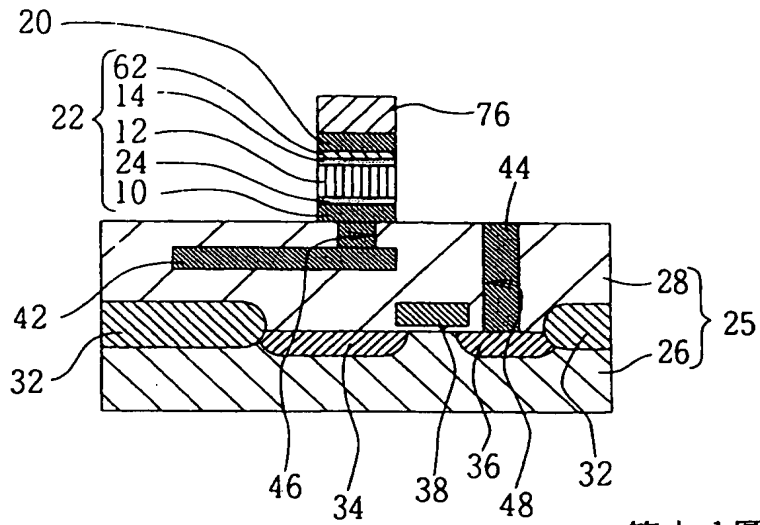


第十六圖 A

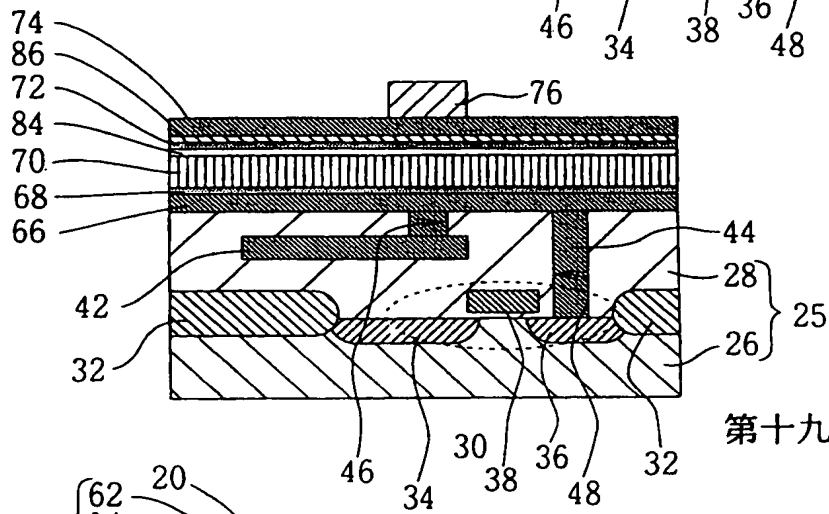




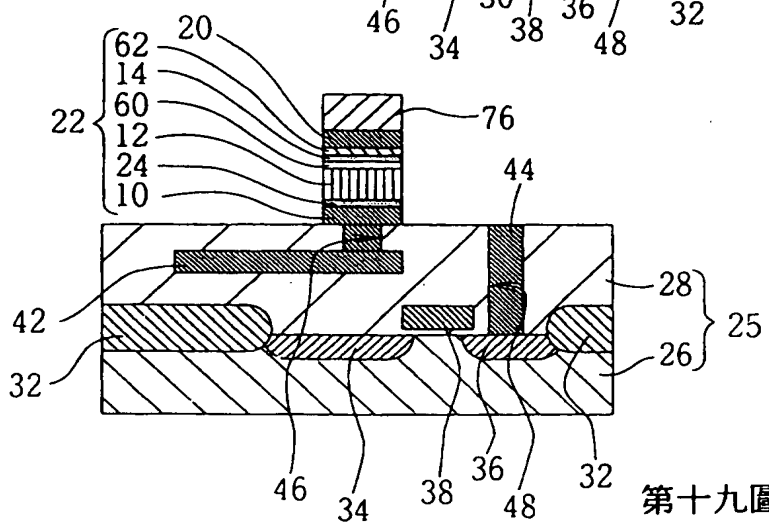
(16)



第十八圖 B



第十九圖 A



第十九圖 B